

四端子回路網理論を用いた仮想リアクタンス回路による 連系インダクタの小型化

山崎 莉槻* 日下 佳祐 (長岡技術科学大学)

Four-Terminal Network Theory-Based Virtual Reactance Circuit for Grid-Side Inductor Miniaturization

Riki Yamazaki*, Keisuke Kusaka, (Nagaoka University of Technology)

Improving the power density of power conversion systems (PCSs) requires reducing the size of passive components in grid-connected inverters. While increasing the switching frequency may reduce inductor size, the approach becomes impractical for high-power PCSs due to excessive switching losses and device limitations. This paper proposes a four-terminal virtual reactance circuit that emulates passive reactance behavior over a wide bandwidth while allowing only a small portion of the current to flow through its auxiliary circuit. Its broadband characteristics are verified through simulation and experiment using an 800-W prototype. Additionally, the total passive volume is reduced by 73% compared with a conventional passive inductor, demonstrating strong potential for realizing high-power-density PCSs.

キーワード：四端子回路網理論, 仮想リアクタンス回路, 系統連系インバータ, 連系インダクタ
(Four-terminal network theory, Virtual reactance circuit, Grid-connected inverter, Grid-side inductor)

1. はじめに

近年、温室効果ガス排出量の削減を背景として、風力発電や太陽光発電などの再生可能エネルギー発電の導入が拡大している。太陽光発電システムにおいて、発電された直流電圧を既存の系統へ供給するためには、パワーコンディショニングシステム（以下、PCS）が必要である。これらのPCSに対しては、高パワー密度化が強く求められている⁽¹⁾⁽²⁾。

一般に系統連系インバータでは、高調波規制を満足するために、インバータと電力系統の間に連系インダクタが設けられる。しかし、連系インダクタはコンバータの容量及び系統電圧により決定されるため大型化する傾向にあり、PCSの高パワー密度化を妨げる要因の一つとなっている。

連系インダクタの小型化手法として、スイッチング周波数の高周波化により電流リップルを低減し、要求されるインダクタンス値を低減する方法がある⁽³⁾。しかしながら、大容量PCSではスイッチング損失の増大やデバイス、磁性材料の制約によって高周波化には制約がある。これらの主回路トポロジーや材料に依存したアプローチのみでは小型化に限界があり、新たな受動部品の小型化手法が求められる。

上述した課題に対し、小型の受動素子とスイッチング制御により、仮想的にインダクタンスやキャパシタンスの大きさを可変する仮想リアクタンス回路が提案されている⁽⁴⁾⁽⁵⁾。仮想リアクタンス回路は従来の受動素子と同様に回路へ直列または並列に接続でき、大型受動素子の代替による

回路全体の小型化が期待できる。たとえば文献(4)では、モータドライブシステムにおいて、DC-link フィルタインダクタの小型化を目的として仮想リアクタンス回路が適用されている。しかし、従来の多くは二端子構成であり、主回路電流が仮想リアクタンス回路に通流する。そのため、連系インダクタの代替とした場合、主PCSの出力電流全てを通流させつつ仮想リアクタンス動作を成立させる必要があり、仮想リアクタンス回路の損失が増加しやすい。また、適用先の系統連系インバータは数十kHz級でスイッチング動作するため、仮想リアクタンス回路には広帯域動作が求められる。しかしながら、従来の二端子構成では損失増加によりスイッチング周波数の高周波化が困難であり、広帯域で所望のリアクタンス特性を成立させることが難しい。

本論文では上記の問題を解決するため、連系インダクタを小型化可能な四端子仮想リアクタンス回路を提案する⁽⁶⁾。提案回路は四端子の回路構成であり、小型受動部品に並列接続した高周波コンバータを補助回路として用いる。この補助回路は、所望のリアクタンス特性の実現に必要な最小限の電流のみを制御するため、損失を低減しつつ、広帯域に連系インダクタと等価のリアクタンス特性を仮想的に実現できる。本論文では、四端子回路網理論に基づいて提案回路が外部回路に対して実現可能なリアクタンス特性を明確化し、受動部品の設計法及び体積評価結果を示す。さらに、シミュレーションおよび実験により所望のリアクタンス特性が成立することを検証する。

2. 二端子仮想リアクタンス回路の原理と問題点

仮想リアクタンス回路は、外部端子から観測される電圧 $v(t)$ と電流 $i(t)$ の関係が所望のリアクタンス素子の電気回路方程式に一致するように動作する回路である。仮想リアクタンス回路の本質は、波形リップルや高調波成分の低減ではなく、外部端子から見た電圧電流の関係が所望のリアクタンス特性を満たすことにある。

図 1 に二端子仮想リアクタンス回路の概念図を示す。図 1 の回路において、電圧 $v(t)$ を検出し、電流 $i(t)$ が(1)式を満たすように制御できれば、外部二端子から見ると仮想的にインダクタ L_{vir} が接続された回路と等価になる。

$$i_{cmd}(t) = \frac{1}{L_{vir}} \int v(t) dt \dots\dots\dots (1)$$

同様に、 $i(t)$ が(2)式を満たすように制御できれば、仮想的にキャパシタ C_{vir} が接続された回路と等価になる。

$$i_{cmd}(t) = C_{vir} \frac{dv(t)}{dt} \dots\dots\dots (2)$$

すなわち、受動部品を接続する代わりに、端子電圧を検出し、実現したい仮想リアクタンスの電気回路方程式に基づいて端子電流を制御することで、外部端子から見た振る舞いとして受動部品と等価な特性を実現できる。

図 2 に実際の二端子仮想リアクタンス回路の回路構成を示す。実現したい仮想リアクタンスより小型の受動部品 L_{in} 、 C_{dc} と高周波コンバータを用いた制御電圧源あるいは制御電流源によって構成される。したがって、コンバータの制御帯域が確保されている範囲においては、過渡応答を含めて所望のリアクタンス特性を実現できる。すなわち、仮想リアクタンス回路の広帯域化によって、既存の電力変換器内における受動部品を仮想的に置き換えることが可能となる。

従来の二端子仮想リアクタンス回路は、完全な二端子回路であり、回路網理論的に単一のリアクタンス素子と同等に扱える点で、有効かつ自然な構成である。一方で、二端子構成では、リアクタンスを模擬した結果として主回路を流れる電流がそのまま仮想リアクタンス回路内に流通する。そのため、外部端子から見たリアクタンス特性を模擬帯域全体にわたって維持するには、全主回路電流に対して仮想リアクタンス動作を成立させる必要がある。この構成を既存電力変換器内に適用すると、仮想リアクタンス動作は主回路電流に重畳される形で実現され、補助回路が主回路電流と同程度の電流が流通することとなる。結果として回路損失が増加することとなり、高パワー密度化の妨げとなる。さらに、既存電力変換器へ適用する際には、スイッチング成分を含む広帯域で仮想リアクタンス特性を成立させる必要があるため、高い制御帯域が要求される。このときスイッチング周波数の向上は有効であるが、二端子構成では損失増加が顕在化しやすく、高周波化による帯域拡大が難しい。

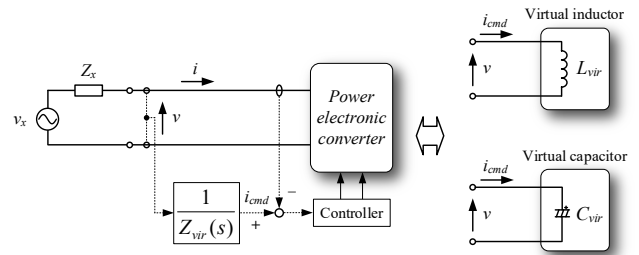


Fig. 1. Concept of a two-terminal virtual reactance circuit.

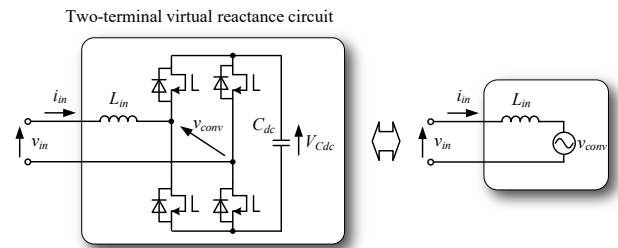


Fig. 2. Circuit configuration of a two-terminal virtual reactance circuit.

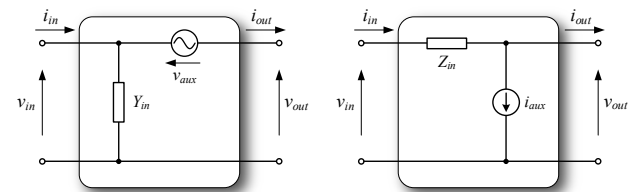


Fig. 3. Concept of a four-terminal virtual reactance circuit.

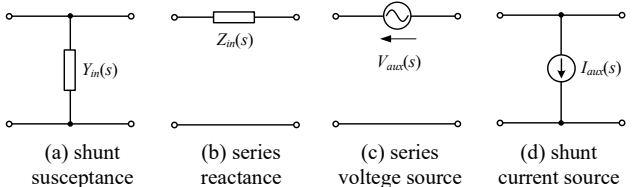


Fig. 4. Basic elements of a four-terminal networks.

3. 四端子仮想リアクタンス回路の概要

〈3・1〉 四端子仮想リアクタンス回路の概念 2 章で言及した問題に対して、既存電力変換器の主回路動作と仮想リアクタンス動作とを分離して扱うという観点から、仮想リアクタンス回路を四端子回路として新たに捉える。本研究では、提案する仮想リアクタンス回路を、従来の二端子仮想リアクタンス回路に対して四端子仮想リアクタンス回路と呼称する。

図 3 に四端子仮想リアクタンス回路の概念図を示す。ここで、小型受動部品と制御電圧源・電流源の連続接続回路として記述できる二つの基本回路を導入する。1 つ目は、シャントサセプタンス Y_{in} とシリーズ電圧源 $v_{aux}(t)$ の連続接続回路の電圧形仮想リアクタンス回路である。2 つ目は、シリーズリアクタンス Z_{in} とシャント電流源 $i_{aux}(t)$ の連続接続回路の電流形仮想リアクタンス回路である。結果的に、回路網と

して見たとき図3の基本回路以外は Z_{in} および Y_{in} と仮想リアクタンスの直列・並列合成として等価化され、ある等価リアクタンス Z_{in}' に帰着する。したがって、実現可能な四端子仮想リアクタンス回路網を議論する上では、上記の二つの基本回路を起点とした議論で十分である。なお、これらの基本回路は二端子仮想リアクタンス回路を包含する。また、小型受動部品を基準として、片側端子から観測されるリアクタンス特性を可変化できる点に特徴がある。

上述した回路について仮想リアクタンス回路として理論を展開するために、四端子回路網理論を用いる。四端子仮想リアクタンス回路のように受動素子と制御電源の縦続から構成される回路を体系的に議論するため、回路の縦続接続を行列積として表現できる F パラメータを用いる。四端子回路の F パラメータ $F(s)$ は(3)式で定義される。

$$\begin{bmatrix} V_{in}(s) \\ I_{in}(s) \end{bmatrix} = \begin{bmatrix} A(s) & B(s) \\ C(s) & D(s) \end{bmatrix} \begin{bmatrix} V_{out}(s) \\ I_{out}(s) \end{bmatrix} = F(s) \begin{bmatrix} V_{out}(s) \\ I_{out}(s) \end{bmatrix} \dots\dots\dots (3)$$

図4に四端子仮想リアクタンス回路の基本要素を示す。以下では、図3の基本回路を縦続要素の積で表して議論するために、シャントサセプタンス $Y_{in}(s)$ とシリーズリアクタンス $Z_{in}(s)$ 、シリーズ電圧源 $V_{aux}(s)$ 、シャント電流源 $I_{aux}(s)$ の F パラメータ表現を与える。 $Y_{in}(s)$ と $Z_{in}(s)$ のそれぞれの F パラメータ $F_Y(s)$ 、 $F_Z(s)$ は(4)式、(5)式で与えられる。

$$F_Y(s) = \begin{bmatrix} 1 & 0 \\ Y_{in}(s) & 1 \end{bmatrix} \dots\dots\dots (4)$$

$$F_Z(s) = \begin{bmatrix} 1 & Z_{in}(s) \\ 0 & 1 \end{bmatrix} \dots\dots\dots (5)$$

つづいて $V_{aux}(s)$ について、KVL より(6)式を得る。

$$V_{in}(s) = V_{aux}(s) + V_{out}(s) \dots\dots\dots (6)$$

また、シリーズ要素であるため電流は連続であり、(7)式が成り立つ。

$$I_{in}(s) = I_{out}(s) \dots\dots\dots (7)$$

ここで、 $V_{aux}(s)$ を四端子回路の端子変数の線形結合として

$$V_{aux}(s) = a(s)V_{in}(s) + b(s)I_{in}(s) + c(s)V_{out}(s) + d(s)I_{out}(s) \dots\dots (8)$$

とする。制御電源を端子変数の線形結合として表すのは、リアクタンスが端子電圧・電流の電気回路方程式として定義されるという立場に従い、端子に現れる情報のみで仮想リアクタンス特性を実現するためである。(6)、(7)、(8)式より、シリーズ電圧源の F パラメータ $F_V(s)$ は(9)式で与えられる。

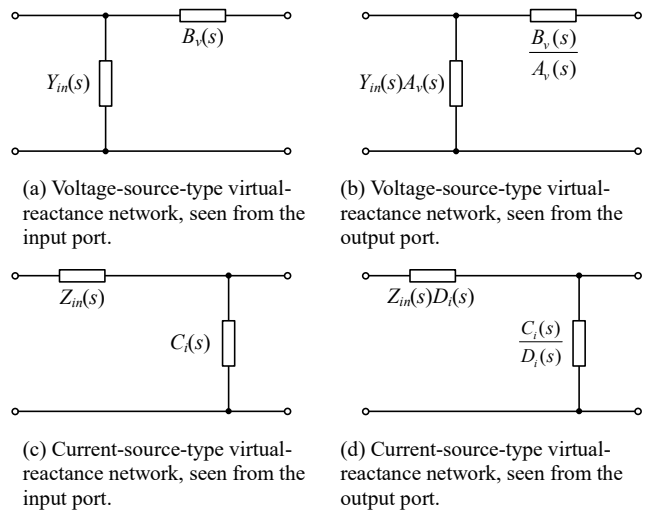


Fig. 5. Realizable four-terminal virtual-reactance network.

$$F_V(s) = \begin{bmatrix} 1 + c(s) & b(s) + d(s) \\ 1 - a(s) & 1 - a(s) \\ 0 & 1 \end{bmatrix} = \begin{bmatrix} A_v(s) & B_v(s) \\ 0 & 1 \end{bmatrix} \dots\dots\dots (9)$$

つづいて $I_{aux}(s)$ について、KCL と電圧連続より(10)式と(11)式を得る。

$$I_{in}(s) = I_{aux}(s) + I_{out}(s) \dots\dots\dots (10)$$

$$V_{in}(s) = V_{out}(s) \dots\dots\dots (11)$$

$V_{aux}(s)$ と同様に、 $I_{aux}(s)$ を四端子回路の端子変数の線形結合として表す。

$$I_{aux}(s) = a(s)V_{in}(s) + b(s)I_{in}(s) + c(s)V_{out}(s) + d(s)I_{out}(s) \dots (12)$$

したがって、(10)、(11)、(12)式から、シャント電流源の F パラメータ $F_I(s)$ は(13)式で与えられる。

$$F_I(s) = \begin{bmatrix} 1 & 0 \\ a(s) + c(s) & 1 + d(s) \\ 1 - b(s) & 1 - b(s) \end{bmatrix} = \begin{bmatrix} 1 & 0 \\ C_i(s) & D_i(s) \end{bmatrix} \dots\dots\dots (13)$$

(4)、(5)、(9)、(13)式から、四端子仮想リアクタンス回路の基本回路全体の F パラメータを導出できる。電圧形仮想リアクタンス回路の F パラメータ $F_V(s)$ は(14)式で定義される。

$$F_V(s) = F_Y(s)F_V(s) = \begin{bmatrix} A_v(s) & B_v(s) \\ A_v(s)Y_{in}(s) & 1 + B_v(s)Y_{in}(s) \end{bmatrix} \dots\dots (14)$$

また、電流形仮想リアクタンス回路の F パラメータ $F_I(s)$ は(15)式で定義される。

$$F_I(s) = F_Z(s)F_I(s) = \begin{bmatrix} 1 + C_i(s)Z_{in}(s) & D_i(s)Z_{in}(s) \\ C_i(s) & D_i(s) \end{bmatrix} \dots\dots (15)$$

以上より、四端子仮想リアクタンス回路の基本回路は、受動要素 $Y_{in}(s)$, $Z_{in}(s)$ と制御則により定まる係数 $A_i(s)$, $B_i(s)$ および $C_i(s)$, $D_i(s)$ を用いてFパラメータにより表現できる。

〈3・2〉 実現可能な四端子仮想リアクタンス回路網

Fパラメータ $F_i(s)$, $F_l(s)$ の導出により、それぞれの回路が実現可能な仮想リアクタンス回路網を明確化できる。

図5に四端子仮想リアクタンス回路が実現可能な回路網を示す。図3の回路が実現できる仮想リアクタンス回路網は任意の四端子回路網ではなく、リアクタンス要素1つとサセプタンス要素1つを縦続接続した基本構造に限られる。ここで特徴的な仮想リアクタンス回路網について言及しておく。電圧源形において、シャントサセプタンス要素 $Y_{in}(s)$ としてキャパシタ sC_{in} を配置し、仮想リアクタンス回路内の制御電圧源によってパラメータ $A_i(s)$ を可変できたとする。このとき、図5(b)より、出力端子から見ると仮想キャパシタ $sC_{vir} = sA_i(s)C_{in}$ を実現できる。また、電流源形において、シリーズリアクタンス要素 $Z_{in}(s)$ としてインダクタ sL_{in} を配置し、仮想リアクタンス回路内の制御電流源によってパラメータ $D_i(s)$ を可変できたとする。このとき、図5(d)より、出力端子から見ると仮想インダクタ $sL_{vir} = sD_i(s)L_{in}$ を実現できる。これらは、主回路電流がそのまま仮想リアクタンス素子に流れることを前提とする二端子仮想リアクタンス回路と異なり、主回路動作と仮想リアクタンス動作を分離したまま等価リアクタンスを合成できる点で、四端子仮想リアクタンス回路特有の動作であるといえる。そして本回路網は、Fパラメータより、外部端子から観測される電圧 $V(s)$ と電流 $I(s)$ の関係が、所望の受動リアクタンス素子の端子方程式に一致するように動作可能であり、仮想リアクタンス回路として成立する。

4. 提案する四端子仮想リアクタンス回路

〈4・1〉 回路構成

図6に系統連系インバータを示す。インバータと系統の間に設置される大型の連系インダクタ L_{grid} が、変換器の小型化を妨げる要因となっている。本研究では、小型の仮想リアクタンス回路によって大型連系インダクタの代替を検討する。すなわち、連系インバータ側端子対を入力ポート、系統側端子対を出力ポートとみなし、出力端子から観測される電気回路方程式がインダクタ L_{grid} と等価となるように回路網を構成する。ここでは電流源形仮想リアクタンス回路を採用する。これは、出力端子電流を流れる大型の仮想リアクタンスを実現する設計が連系インダクタの代替手法として有効であるからである。

図7に提案する四端子仮想リアクタンス回路の回路構成を示す。本回路は、これまでの仮想リアクタンス回路のコンセプトと同じく、小型な受動部品 L_{in} , L_f , C_{dc} と高周波コンバータで構成される。提案回路は、電流源形仮想リアクタンス回路の中で、 $Z_{in}(s) = sL_{in}$ として選んでいる。(15)式に示さ

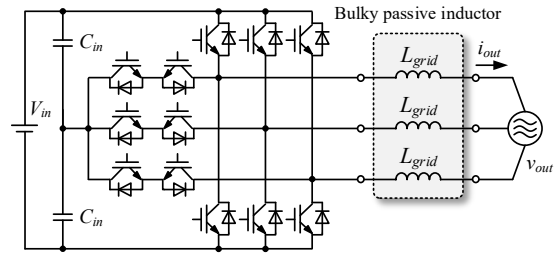


Fig. 6. A typical high-power grid-connected inverter.

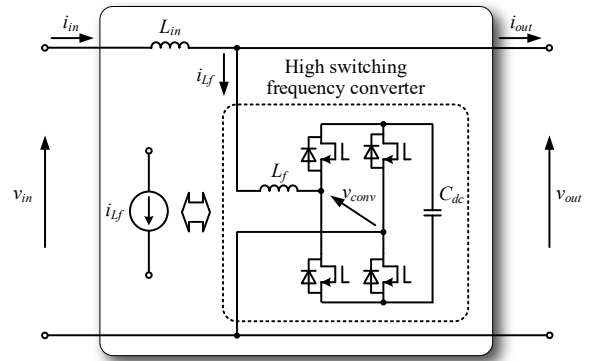


Fig. 7. Proposed four-terminal virtual impedance circuit.

れた電流源形のFパラメータ $F_l(s)$ より、提案回路のFパラメータ $F_{pro}(s)$ は(16)式で表される。

$$F_{pro}(s) = \begin{bmatrix} 1 + sC_i(s)L_{in} & sD_i(s)L_{in} \\ C_i(s) & D_i(s) \end{bmatrix} \dots\dots\dots (16)$$

ここで(16)式の $C_i(s)$, $D_i(s)$ は、高周波コンバータによって形成される電流源の制御側によって定まるパラメータである。図5(d)より、提案回路は出力電流 $I_{out}(s)$ が流れる仮想インダクタンス $sL_{vir}(s) = sD_i(s)L_{in}$ を実現可能である。

〈4・2〉 四端子仮想リアクタンス制御

図7の提案回路におけるシャント電流源 $i_{ij}(t)$ は、高周波コンバータの電流制御によって定まる。そして、 $i_{ij}(t)$ の電流指令値は、実現したい仮想リアクタンス回路の所望の四端子Fパラメータを満たすために一義的に定まり、回路網実現のための指令値である。KCLより、仮想リアクタンス動作のためのシャント電流指令値 $I_{Zvir,cmd}(s)$ は(17)式で表される。

$$I_{Zvir,cmd}(s) = I_{in}(s) - I_{out}(s) \dots\dots\dots (17)$$

(16)式の提案回路が実現しうるFパラメータ $F_{pro}(s)$ より、出力電流 $I_{out}(s)$ について解くと(18)式が得られる。

$$I_{out}(s) = \frac{1}{D_i(s)} I_{in}(s) - \frac{C_i(s)}{D_i(s)} V_{out}(s) \dots\dots\dots (18)$$

したがって、(17)式に(18)式を代入すると、シャント電流の指令値 $I_{Zvir,cmd}(s)$ は次式により定まる。

$$I_{Zvir,cmd}(s) = \left[1 - \frac{1}{D_i(s)} \right] I_{in}(s) + \frac{C_i(s)}{D_i(s)} V_{out}(s) \dots\dots\dots (19)$$

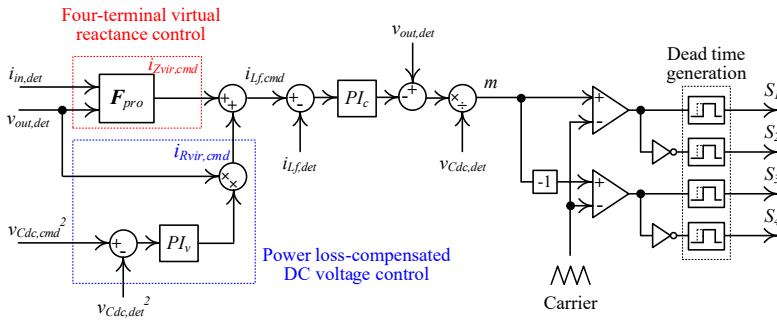


Fig. 8. Control block diagram of the proposed circuit.

(19)式の係数 $C_i(s)$, $D_i(s)$ は実現すべき四端子仮想リアクタンス回路網および F パラメータにより一義的に定まる。

図 8 に提案回路の制御ブロック全体図を示す。制御ブロック図は、提案する四端子仮想リアクタンス制御と損失補償型直流キャパシタ電圧制御による電流指令値生成部と、電流制御部および PWM 生成部に分かれている⁽⁶⁾。四端子仮想リアクタンス制御部では、検出した入力端子電流 $i_{in,det}(t)$ と出力端子電圧 $v_{out,det}(t)$ を四端子 F パラメータ $F_{pro}(s)$ に基づき(19)式で $i_{Zvir,cmd}(t)$ を生成する。直流キャパシタ電圧制御部では、仮想並列抵抗に相当する電流指令 $i_{Rvir,cmd}(t)$ を生成する。これらの電流指令成分を加算してインダクタ電流指令 $i_{Lf,cmd}(t)$ とし、電流制御を行う。

〈4・3〉 受動部品の設計と体積評価 連系インダクタ代替を目的とした提案回路の受動部品設計法を述べる。インダクタ L_{in} , L_f およびキャパシタ C_{dc} は、電流リップル ΔI と電圧リップル ΔV を許容範囲に抑えるように設計する。

まず、模擬する仮想連系インダクタンス $L_{vir,grid}$ は、系統側の出力電流リップル ΔI_{out} により設計する。提案回路では補助回路電流に高周波リップル成分 $\Delta I_{Lf,h}$ が含まれ、これが出力電流リップルへ重畳するため、 $L_{vir,grid}$ の設計式には $\Delta I_{Lf,h}$ が現れる。インバータ入力電圧を V_{in} , 出力電圧の最大値を V_m , インバータスイッチング周波数を f_{inv} とするとき、(20)式により $L_{vir,grid}$ は設計される。

$$L_{vir,grid} = \frac{V_{in} - V_m}{2f_{inv} [\Delta I_{out} - \Delta I_{Lf,h}]} \frac{V_m}{V_{in}} \dots\dots\dots (20)$$

次に、提案する四端子仮想リアクタンス回路の入力端子側インダクタンス L_{in} は、電流リップル ΔI_{in} により決定される。

$$L_{in} = \frac{V_{in} - V_m}{2f_{inv} \Delta I_{in}} \frac{V_m}{V_{in}} \dots\dots\dots (21)$$

提案回路のフィルタインダクタンス L_f は、高周波電流リップル $\Delta I_{Lf,h}$ とスイッチング周波数 f_{conv} から決まる。

$$\alpha_L = 1 - \frac{L_m}{L_{vir,grid}} = 1 - \frac{1}{N_{vir}} \dots\dots\dots (22)$$

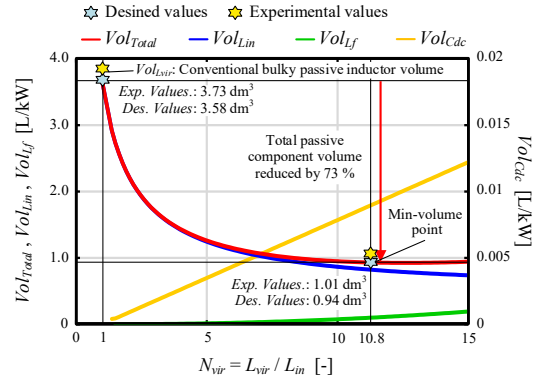


Fig. 9. Calculated and experimental passive component volumes.

Table 1. Analysis and simulation parameters.

Parameters of the grid-connected inverter		
Output power	P_{out}	1 kW
Input voltage	V_{in}	400 V
Output voltage	V_{out}	100 V _{rms}
Output frequency	f_{out}	50 Hz
Switching frequency	f_{inv}	5 kHz
Current ripple ratio of i_{out}	ΔI_{out}	10 %
Parameters of the proposed virtual reactance circuit		
Average voltage of C_{dc}	V_{Cdc}	250 V
Voltage ripple ratio of v_{Cdc}	ΔV_{Cdc}	5 %
Switching frequency	f_{conv}	1 MHz
Current ripple ratio of i_{Lf}	$\Delta I_{Lf,h}$	2.5 %

$$L_f = \frac{V_m L_{in} [V_{Cdc} - V_m]}{2f_{conv} \Delta I_{Lf,h} V_{Cdc} L_{in} - \alpha_L V_m [V_{Cdc} - V_m]} \dots\dots\dots (23)$$

ただし V_{Cdc} は直流キャパシタ電圧の平均値である。直流キャパシタンス C_{dc} は、高周波コンバータが処理するエネルギー変動により生じる $v_{Cdc}(t)$ の電圧リップルを ΔV_{Cdc} 以下に抑えるように設計される。 N_{vir} を仮想インダクタンス比、 ω_{out} を系統角周波数、 $I_{3,max}$ を設計上の最大フィルタインダクタ電流として(24)式で設計される。

$$C_{dc} = \frac{3V_m I_{3,max}}{4\omega_{out} V_{Cdc} \Delta V_{Cdc}} \frac{N_{vir} - 1}{N_{vir}} \dots\dots\dots (24)$$

図 9 に仮想インダクタンス比 N_{vir} に対する受動部品の体積評価結果と実機の体積測定結果を、表 1 に体積評価時に用いたパラメータを示す。インダクタは磁気設計に基づく Area Product 法⁽⁶⁾により、キャパシタはデータシートに基づく体積換算係数⁽⁷⁾を用いて体積を推定した。実体積は、外形寸法から算出した。 $N_{vir} = 1$ は $L_{vir} = L_{in}$ であり、 Vol_{Lin} が従来受動インダクタ体積 Vol_{Lvir} に相当する。総体積には明確な最小点が現れ、その最小点における受動部品総体積は、従来の受動インダクタ体積に対して 27%であり、大幅に低減さ

れることが確認できる。すなわち、従来の連系インダクタを単体で用いる方式に対し、提案回路を用いることで小型化の余地が大きいことが定量的に示された。さらに、総体積の設計値と実測値は近い値を示し、設計段階における体積推定結果が妥当であることを確認した。

5. 提案回路の動作検証

単相系統連系インバータを用いて、提案回路により連系インダクタを代替した際の動作検証を行った。

図 10 に提案回路により実現された仮想リアクタンス特性を示す。表 1 の回路パラメータを用いたシミュレーションの FFT 結果より、 f_{out} の基本成分に対する仮想リアクタンス $Z_{vir}(s) = V_{Lim}(s)/I_{out}(s)$ を算出している。また提案回路の電流制御器のカットオフ周波数 f_{pfc} は 100kHz とした。図 10 より、適用先系統連系インバータのキャリア周波数 5 kHz に対して十分に広い帯域で仮想リアクタンス特性を実現できている。また、ゲイン特性より f_{pfc} 未満で仮想インダクタンスが実現できていることがわかり、電流制御系を広帯域化することで、仮想リアクタンス回路におけるリアクタンスの実現可能帯域を拡大できると考えている。

図 11 に提案回路を用いた系統連系インバータの実験波形を示す。定格電力 800 W の系統連系インバータを製作し、 $N_{vir} = 3$ として $L_{vir,grid} = 12$ mH の連系インダクタを提案回路により代替している。また、キャリア周波数はそれぞれ $f_{inv} = 5$ kHz, $f_{conv} = 150$ kHz とした。四端子仮想リアクタンス制御のための電流 i_{Lf} は、仮想連系インダクタ $L_{vir,grid}$ の F パラメータを実現するために必要な高周波リップル電流として現れている。これにより出力電流のリップルは $L_{vir,grid}$ を適用した場合と同等となることを確認した。

6. まとめ

本研究では、系統連系インバータにおける連系インダクタの小型化を目的として、四端子仮想リアクタンス回路を提案した。四端子回路網理論に基づき実現可能な回路網を整理し、連系インダクタ代替として適用可能な四端子仮想リアクタンス回路と制御法を提案した。また、受動部品の設計指針と体積評価法を示したうえで、シミュレーションおよび実験により所望リアクタンス特性の成立を確認した。今後は電圧制御を適用した提案回路の実機検証を行う。

文 献

- (1) J. Xing, Y. Liu, P. Wang, and H. Guo, "Direct Current Bus Voltage Control of Photovoltaic Grid-connected Inverter Based on Improved Linear Active Disturbance Rejection," IEEJ J. Ind. Appl., Vol. 14, No. 5, pp. 640-651 (2025)
- (2) M. Huang, X. Wang, P. C. Loh, F. Blaabjerg and W. Wu, "Stability Analysis and Active Damping for LLCL-Filter-Based Grid-Connected Inverters", IEEJ Journal of Industry Applications, Vol. 4, No. 3, pp. 187-195 (2015)

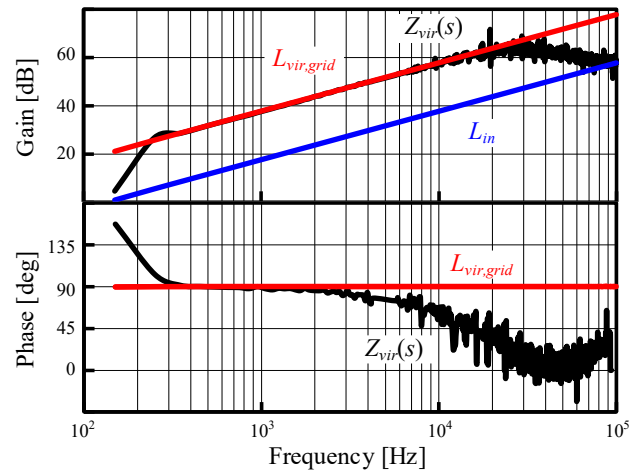


Fig. 10. Comparison of reactance characteristics between the proposed circuit and passive inductors.

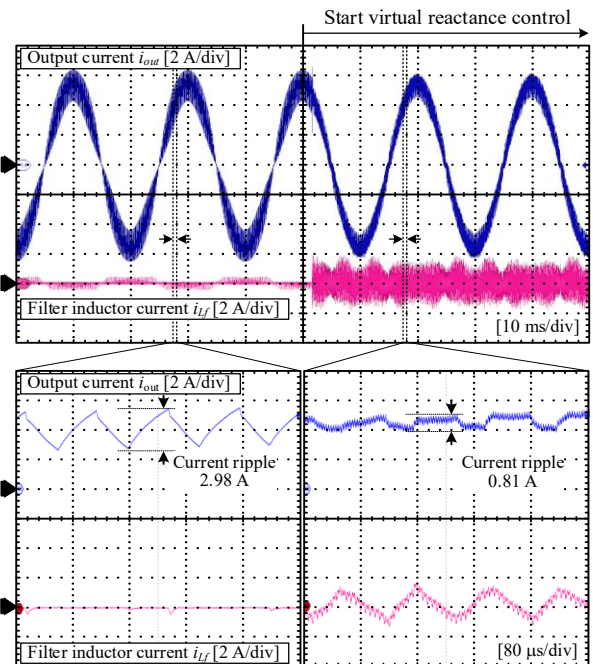


Fig. 11. Experimental results of the proposed circuit.

- (3) D. Yamanodera, R. Iijima, T. Isobe, and H. Tadano, "Experimental verification and loss analysis of MHz-operating discontinuous current-mode grid-tied inverter using GaN-HEMT device," IEEJ Transactions on Industry Applications, vol. 139, no. 3, pp. 249-257 (2019)
- (4) Z. Kong, O. Wang, G. Zhu, H. Wang, and H. Wang, "Design and Benchmark of Passive and Active Inductors for a 7.5 kW Motor Drive," in Proc. IEEE Energy Convers. Congr. Expo. (ECCE), 2021, pp. 4874-4879.
- (5) F. Liu, G. Zhu, Z. Kong, H. Wang and H. Wang, "An Adaptive Active Inductor for the AC Filter of Grid-connected Drive," IPEC-ECCE Asia, Himeji, Japan (2022)
- (6) R. Yamazaki and K. Kusaka, "Miniaturization of Inductor in Grid-Tied Inverter Utilizing a Wideband Four-Terminal Virtual Impedance Circuit," 2025 IEEE ECCE, Philadelphia, PA, USA, 2025, pp. 1-8 (2025)
- (7) D. Neumayr, G. C. Knabben, E. Varescon, D. Bortis and J. W. Kolar, "Comparative Evaluation of a Full- and Partial-Power Processing Active Power Buffer for Ultracompact Single-Phase DC/AC Converter Systems," in IEEE JESTPE, vol. 9, no. 2, pp. 1994-2013 (2021)