

連系インダクタの小型化を目的とする 四端子仮想 Z 回路を用いた系統連系インバータの実機検証

学生員 山崎 莉槻 正 員 日下 佳祐 正 員 渡辺 大貴
上級会員 伊東 淳一（長岡技大科学大学）

Experimental Verification for Minimizing Interconnected Inductor in Grid-Tied Inverter Utilizing a Four-Terminal Virtual Impedance Circuit

Riki Yamazaki, Student Member, Keisuke Kusaka, Member, Hiroki Watanabe, Member,
Jun-ichi Itoh, Senior Member (Nagaoka University of Technology)

Reducing the size of an inductor in grid-tied inverters is crucial for enhancing the power density of power conversion systems (PCSs). While raising the switching frequency can aid in reducing inductor size, this method poses challenges in high-power converters due to heightened switching losses and device constraints. As an alternative, a two-terminal virtual impedance circuit has been proposed. However, conventional circuits must be connected in series with the output of PCSs, causing the entire line current to flow through the auxiliary circuit, thereby increasing power losses. This paper proposes a four-terminal virtual impedance circuit. The proposed circuit achieves electrical characteristics comparable to a passive inductor across a wide bandwidth. It is experimentally validated using an 800-W prototype.

キーワード：系統連系インバータ，連系インダクタ，仮想インピーダンス回路，四端子回路網理論

Keywords：Grid-tied inverter, Interconnected inductor, Virtual impedance circuit, Four-terminal network theory

1. はじめに

近年，太陽光発電用の系統連系インバータが盛んに研究されている⁽¹⁾⁽²⁾。太陽光発電システムから系統へ電力を供給するためには，PCS が必要である。PCS は高パワー密度化の要求が強く，特に PCS 内で大きな体積割合を占める連系インダクタの小型化が求められている⁽³⁾⁽⁴⁾。

連系インダクタの小型化手法として，小中容量の PCS ではインバータのスイッチング周波数を高周波化する手法がある。しかしながら大容量の PCS では，スイッチング損失の増大や使用するスイッチングデバイスの制約のため，本手法の適用は困難である⁽⁵⁾。

一方で，小型の受動素子とスイッチング制御により仮想的にインダクタンスやキャパシタンスの大きさを可変する仮想インピーダンス回路（以下，仮想 Z 回路）が提案されている⁽⁶⁾。仮想 Z 回路は，これまでの受動素子と同様に従来の回路へ直列または並列に接続できる。そのため，変換器内の大型受動素子を仮想 Z 回路で置き換えることで，回路の小型化が期待される⁽⁷⁾⁽⁸⁾。文献(8)では，仮想 Z 回路の

適用例として，モータドライブシステム内の DC-link インダクタが検討されている。しかしながら，従来の仮想 Z 回路は，数 kHz のスイッチング周波数で動作するため，制御帯域幅が狭い。そのため，スイッチング周波数が数十 kHz の系統連系インバータに対しての適用は困難である。さらに，これまでの仮想 Z 回路は二端子の回路構成であり，連系インダクタとして適用する場合には，系統の全電流が仮想 Z 回路を流れるため，損失の増加が問題となる。

本論文では，上記の問題を解決するために，連系インダクタを小型化可能な四端子仮想 Z 回路を提案する。提案回路は，四端子の回路構成であり，所望のインピーダンス特性を実現するために必要な最小限の電流のみを制御する。したがって，従来の仮想 Z 回路に対して損失を低減でき，仮想 Z 回路のスイッチング周波数をさらに高めることが可能となる。これにより，提案回路は広帯域にわたり大型の連系インダクタを仮想的に実現できる。本論文では，四端子回路網理論に基づいて，提案回路が外部回路に対して実現するインピーダンス特性について明確化する。また，実機検証にて，提案回路の有用性を確認したので報告する。

2. 仮想 Z 回路の概念

Fig. 1 に仮想 Z 回路の適用先となる回路例として系統連系される 3 レベルインバータを示す。大容量の系統連系インバータに接続される大型の連系インダクタが、変換器の小型化を妨げる要因となっている。本論文では、仮想 Z 回路によって大型の連系インダクタを仮想的に実現し、高パワー密度化を図る手法について検討する。

Fig. 2 に従来の二端子仮想 Z 回路の概念図を示す。本回路は、入力端子から見たときに所望のインピーダンス特性 $Z_{vir}(s)$ を実現する。いま、電圧 v を検出して、電流 i を(1)式を満たすように制御すれば、二端子の左側から見た際にインダクタ L_{vir} が接続されている回路と等価に振る舞う。

$$i = \frac{1}{L_{vir}} \int v dt \quad \dots\dots\dots (1)$$

また、 i を(2)式を満たすように制御すれば、仮想キャパシタ C_{vir} が接続されている回路と等価になる。

$$i = C_{vir} \frac{dv}{dt} \quad \dots\dots\dots (2)$$

以上より、仮想 Z 回路は制御帯域内で所望のインピーダンス特性を実現でき、広帯域化により既存の変換器内の受動素子を仮想的に実現できる。しかしながら、二端子仮想 Z 回路を用いて連系インダクタを実現する場合には、系統連系インバータの出力に仮想 Z 回路を直列接続する必要がある。この構成では、系統の全電流が仮想 Z 回路に流入するため損失増加を招き、系統連系インバータの高パワー密度化を妨げることとなる。

3. 提案する四端子仮想 Z 回路

〈3・1〉 回路構成 Fig. 3 に提案する四端子仮想 Z 回路の回路構成を示す。本回路は、小型のインダクタ L_s 、 L_p およびキャパシタ C_{dc} と、高周波コンバータで構成され、四端子の回路である。提案する仮想 Z 回路内の高周波コンバータは、所望のインピーダンス特性を実現するために必要最小限の電流のみ制御する。したがって、提案回路によって連系インダクタを実現する場合、仮想 Z 回路内のコンバータが供給する電流を大幅に低減できる。ゆえに、従来の二端子仮想 Z 回路を適用する場合と比べて、さらなる高パワー密度化に期待ができる。

〈3・2〉 F 行列の導出 提案する四端子仮想 Z 回路は、小型インダクタ L_s と能動的に制御可能な電流源 i_{Lp} が縦続接続された回路構成とみなすことができる。そこで、(3)式で表される F 行列を導出する。そして(4)式のように、四端子回路網理論に基づいて提案回路における入出力端子の電圧・電流の関係について定式化する。これにより、提案回路が外部回路に対して実現可能なインピーダンス特性を把握でき、連系インダクタを実現する方法を明確化できる。

$$\mathbf{F} = \begin{pmatrix} A & B \\ C & D \end{pmatrix} \quad \dots\dots\dots (3)$$

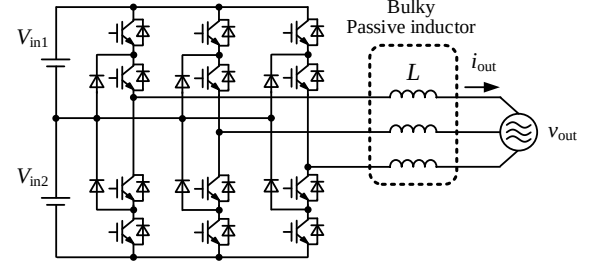


Fig. 1. A typical high-power grid-tied inverter.

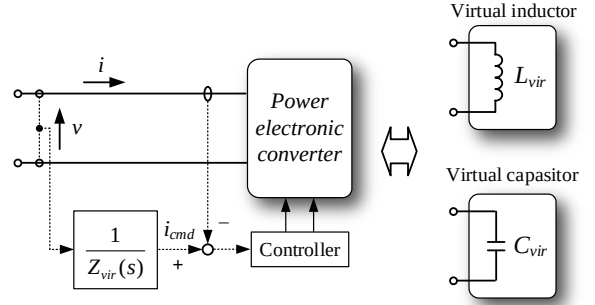


Fig. 2. Concept of a two-terminal virtual impedance circuit.

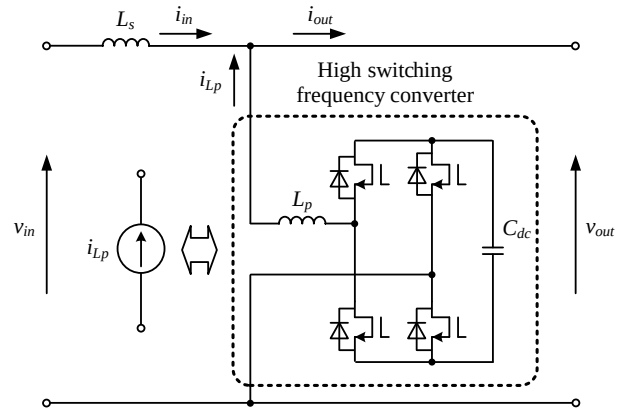


Fig. 3. Proposed four-terminal virtual impedance circuit.

$$\begin{pmatrix} v_{in} \\ i_{in} \end{pmatrix} = \mathbf{F} \begin{pmatrix} v_{out} \\ i_{out} \end{pmatrix} \Leftrightarrow \begin{cases} v_{in} = A v_{out} + B i_{out} \\ i_{in} = C v_{out} + D i_{out} \end{cases} \quad \dots\dots\dots (4)$$

L_s および i_{Lp} の F 行列はそれぞれ(5)、(6)式で表される。

$$\mathbf{F}_{L_s} = \begin{pmatrix} 1 & sL_s \\ 0 & 1 \end{pmatrix} \quad \dots\dots\dots (5)$$

$$\mathbf{F}_{i_{Lp}} = \begin{pmatrix} 1 & 0 \\ X(s)Y(s) & Y(s) \end{pmatrix} \quad \dots\dots\dots (6)$$

ただし、 $X(s)$ は出力電圧 v_{out} に依存する項、 $Y(s)$ は出力電流 i_{out} に依存する項であり、 i_{Lp} の特性を決定する。いずれも、高周波コンバータの制御によって設定可能である。

以上より、提案する四端子仮想 Z 回路の F 行列と入出力端子の電圧・電流の関係はそれぞれ(7)、(8)式で表される。

$$\mathbf{F}_{total} = \mathbf{F}_{L_s} \mathbf{F}_{i_{Lp}} = \begin{pmatrix} 1+sXYL_s & sYL_s \\ XY & Y \end{pmatrix} \quad \dots\dots\dots (7)$$

$$\begin{pmatrix} v_{in} \\ i_{in} \end{pmatrix} = F_{total} \begin{pmatrix} v_{out} \\ i_{out} \end{pmatrix} \Leftrightarrow \begin{cases} v_{in} = (1+sXYL_s)v_{out} + sYL_s i_{out} \\ i_{in} = XYv_{out} + Y i_{out} \end{cases} \quad (8)$$

〈3・3〉 相反性 提案回路が相反性を有するかどうかを検討する。相反性を有する回路とは、入出力端子を入れ替えても電圧・電流の関係が不変であり、双方向性を有する電気回路である。この条件は、(3)式の F 行列のパラメータを用いると、次式で表される。

$$AD - BC = 1 \quad (9)$$

一方で提案回路は、(7)式の F 行列のパラメータより $Y=1$ のときのみ相反性を有する。すなわち、 $Y \neq 1$ のとき、提案回路は相反性を有さず、補償動作は入力端子から出力端子への一方に限定される。したがって、所望のインピーダンス特性は出力端子側にのみ実現可能である。

〈3・4〉 高周波コンバータの制御方法 提案回路が所望の F 行列を実現するための、高周波コンバータの制御方法について述べる。 KCL および(8)式の第2行を用いて i_{lp} について解くと(10)式が得られる。

$$i_{lp} = \left(\frac{1}{Y} - 1 \right) i_{in} - X v_{out} \quad (10)$$

したがって、高周波コンバータの電流制御により i_{lp} を(10)式で制御することで、所望のパラメータ X および Y を持つ F 行列を実現できる。

Fig. 4 に提案回路の制御ブロック図を示す。提案回路における i_{lp} の電流制御は、PI 制御器により構成する。また、PI 制御器は、提案回路の適用先となる系統連系インバータのキャリア周波数を十分に上回る帯域となるよう設計する必要がある⁽⁹⁾。

〈3・5〉 所望インピーダンス特性の実現 (7)式の F 行列のパラメータを用いて、提案回路が外部回路に対して実現するインピーダンス特性について述べる。入出力端子のインピーダンスはそれぞれ(11), (12)式で表される。

$$Z_{in-port} = \frac{v_{in}}{i_{in}} = \begin{cases} sL_s & (\text{if } v_{out} = 0), \\ \frac{1}{XY} + sL_s & (\text{if } i_{out} = 0), \end{cases} \quad (11)$$

$$Z_{out-port} = -\frac{v_{out}}{i_{out}} = \begin{cases} \frac{sYL_s}{1+sXYL_s} & (\text{if } v_{in} = 0), \\ \frac{1}{X} & (\text{if } i_{in} = 0), \end{cases} \quad (12)$$

(11), (12)式より、外部回路に対して実現するインピーダンス特性について、入力端子ではインダクタは L_s に限られ、制御による可変性を持たないのに対し、出力端子では仮想的にインダクタ YL_s を実現できる。したがって、提案回路は、仮想インダクタについては出力端子側でのみ実現が可能である。

一方で、インダクタを模擬しない、すなわち $Y=1$ の場合は、入出力端子の双方において同一の仮想キャパシタ X/s を実現することが可能である。これは、提案回路が $Y=1$ のとき相反性を有しており、入力端子と出力端子で同一の電氣的応答を示すためである。

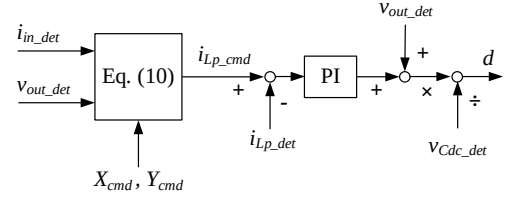


Fig. 4. Control block diagram of the proposed circuit.

ここで、出力端子の右側から左側を見て、仮想インダクタ L_{vir} と仮想キャパシタ C_{vir} で構成された LC フィルタが接続されている回路と等価になるための条件を考える。(12)式より、所望のインピーダンス特性を実現するためには、 F 行列のパラメータ X および Y が(13)式を満たせばよい。

$$\begin{cases} X = sC_{vir} \\ Y = \frac{L_{vir}}{L_s} \end{cases} \quad (13)$$

以上より、提案回路は出力端子において、仮想インダクタと仮想キャパシタを同時に実現できる。さらに、 X と Y に周波数依存性を持たせることも可能であり、帯域ごとに異なるインピーダンス特性を実現できる。

〈3・6〉 連系インダクタの実現 提案する四端子仮想 Z 回路により、系統連系インバータ内の連系インダクタを実現する方法について述べる。系統側から提案回路の出力端子を見た際に、大型の連系インダクタ L_{vir} が接続されている回路と等価になるためには、 $X=0$ とし、 Y を(13)式で与えればよい。このとき、提案回路の入力電流 i_{in} および高周波コンバータの電流 i_{lp} は、 KCL および(8)式の第2行より、出力電流 i_{out} を用いて(14)式で表される。

$$\begin{cases} i_{in} = Y i_{out} \\ i_{lp} = (1-Y) i_{out} \end{cases} \quad (14)$$

以上が、提案回路により連系インダクタを実現した際の基本的な動作である。しかし、(14)式は系統連系インバータの出力電流 i_{in} が系統電流 i_{out} の Y 倍の電流となり、高周波コンバータが仮想インダクタを実現するために必要な電流を供給することを示している。したがって、提案回路が全帯域で線形の大型インダクタ $L_{vir} = YL_s$ を仮想的に実現する場合、系統連系インバータおよび高周波コンバータが従来に比べて大きな電流を流す必要がある。これは、損失の増加を招き、高パワー密度化を妨げる要因となる。

そこで本論文では、上記の問題を解決するために、 Y に周波数依存性を持たせ、目標のインピーダンス特性を周波数帯域ごとに可変する。すなわち、系統周波数の帯域付近では仮想インダクタンス値を L_s とし、それ以外の周波数帯域では大型の仮想インダクタ L_{vir} を実現するように出力端子のインピーダンス特性を設計する。これにより、系統連系インバータおよび提案回路の電流負担を軽減し、損失の低減を図る。なお、本論文では、所望の周波数依存性を持つ仮想インダクタを実現するために、バンドエリミネーションフィルタ (BEF) を用いる。

4. 実験結果

提案する四端子仮想 Z 回路の基本的な動作を確認するために、定格電力 800 W の 2 レベル単相系統連系インバータを用いて実験を行った。Table 1 に実験条件を示す。ここでは、仮想インダクタの実現性を評価するために、系統連系インバータのデッドタイム誤差電圧に起因する外乱の抑圧効果および出力電流リプルに着目する。本論文では実験の簡単化のため、系統連系インバータの制御はオープンループとし、 RL 負荷による実験を行った。また、提案回路において、キャパシタ C_{dc} の代わりに直流電源を用いた。

Fig. 5 に提案する四端子仮想 Z 回路を用いた系統連系インバータの動作波形を示す。提案回路の入力電流 i_{in} 、すなわち系統連系インバータの出力電流の THD は 5.23 % であった。これは、系統連系インバータ側のインダクタンス L_s が小さく外乱抑圧特性が低いため、デッドタイム誤差電圧により生じる電流ひずみを十分に抑えられていないことが原因であると考えられる。一方で、提案回路の出力電流 i_{out} の THD は 3.45 % であり、 i_{in} に対して 65.9 % 低減できている。これは、負荷側から系統連系インバータを見た際に、提案する四端子仮想 Z 回路によって大型の連系インダクタを実現しており、系統連系インバータの出力電圧外乱に対する外乱抑圧特性を向上できているためであると考えている。

Fig. 6 に拡大した動作波形を示す。Fig. 6 より、出力電流リプル率は 19.9 % であることがわかる。これは、単一の大型連系インダクタ L_{vir} を用いた場合と同等の電流リプル率であり、提案回路によって所望の仮想インダクタを実現していると言える。

5. まとめ

本論文では、従来の系統連系インバータの大型連系インダクタを代替し、小型化可能な広帯域の四端子仮想 Z 回路を提案した。提案回路は、所望のインピーダンス特性を実現するために必要な最小限の電流のみを制御するため、損失の低減が可能となる。また、四端子回路網理論に基づいて、提案回路が外部回路に対して実現可能なインピーダンス特性について明確化を行った。さらに、定格 800 W の系統連系インバータを用いた実験により、提案回路が所望の連系インダクタを仮想的に実現可能であることを確認した。今後は、提案回路を適用した系統連系インバータの効率評価を行う予定である。

文 献

- (1) L. Valverde, C. Bordons, and F. Rosa: "Integration of Fuel Cell Technologies in Renewable-Energy-Based Microgrids Optimizing Operational Costs and Durability", IEEE Trans. Ind. Electron., Vol.63, No.1, pp.167-177 (2016)
- (2) H. Hsieh, and J. Hou: "Realization of Interleaved PV Microinverter by Quadrature-Phase-Shift SPWM Control", IEEJ. Ind. Appl., Vol.4, No.5, pp.643-649 (2015)
- (3) R. Beres, X. Wang, F. Blaabjerg, M. Liserre, and C. Bak: "A Review of Passive Power Filters for Three-Phase Grid Connected Voltage-Source Converters", IEEE Journal Emerging and Selected Topics in Power Electronics, Vol.4, No.1, pp. 54-69 (2016)

Table 1. Experimental condition.

Grid-tied inverter		
P_{out}	Output power	800 W
V_{in}	Input voltage	380 V
V_{out}	Output voltage	200 V
f_{out}	Output frequency	50 Hz
f_{sw-low}	Switching frequency	5 kHz
t_{dead}	Dead time	5 μ s
Δi_{out}	Current ripple ratio of i_{out}	20 %
L_{vir}	Inductance of virtual inductor	12 mH (%Z = 7.5 %)
Four-terminal virtual impedance circuit		
V_{dc}	Average voltage of C_{dc}	380 V
$f_{sw-high}$	Switching frequency	150 kHz
L_s	Inductance of L_s	3 mH (%Z = 1.8 %)
L_p	Inductance of L_p	500 μ H (%Z = 0.3 %)
f_{PI}	Cutoff frequency of PI controller	15 kHz

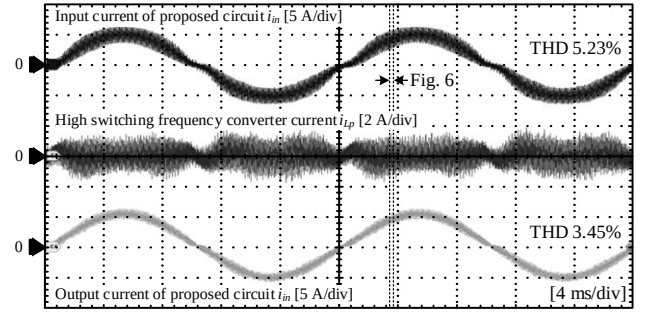


Fig. 5. Experimental waveforms of the grid-tied inverter using the proposed four-terminal virtual impedance circuit.

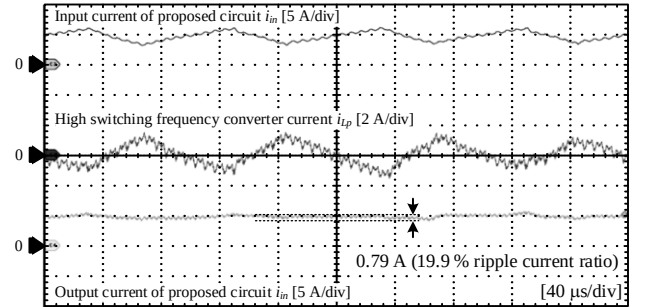


Fig. 6. Zoom-in experimental waveforms from Fig. 5.

- (4) Min Huang, Xiongfei Wang, Poh Chiang Loh, Frede Blaabjerg, and Weimin Wu: "Stability Analysis and Active Damping for LLCL-Filter-Based Grid-Connected Inverters", IEEJ. Ind. Appl., Vol.4, No.3, pp.187-195 (2014)
- (5) 山口浩: 「次世代パワーエレクトロニクスの研究動向」, 電気学会論文誌 B, Vol.132, No.3, pp.209-212 (2012)
- (6) S. Li, W. Qi, S. Tan, S. Y. Hui, and Chi K. Tse: "A General Approach to Programmable and Reconfigurable Emulation of Power Impedances", IEEE Trans. Power Electron., Vol.33, No.1, pp.259-271 (2018)
- (7) H. Wang and H. Wang: "A Two-Terminal Active Inductor with Minimum Apparent Power for the Auxiliary Circuit", IEEE Trans. Power Electron., Vol.34, No.2, pp.1013-1016 (2019)
- (8) Z. Kong, O. Wang, G. Zhu, H. Wang, and H. Wang: "Design and Benchmark of Passive and Active Inductors for a 7.5 kW Motor Drive", in Proc. IEEE Energy Conversion Congress Expo. 2021, No.721, pp.4874-4879(2021)
- (9) 山下一祥・大島慶太・日下佳祐・渡辺大貴・伊東淳一: 「アクティブインピーダンスの広帯域化に向けたスイッチング周波数の最適化」, 半導体電力変換/家電・民生/自動車合同研究会, SPC-24-213, pp.7-12 (2024)